

PAT-NO: **JP02002098990A**

DOCUMENT-IDENTIFIER: **JP 2002098990 A**

TITLE: **LIQUID CRYSTAL DISPLAY DEVICE**

PUBN-DATE: **April 5, 2002**

INVENTOR-INFORMATION:

NAME	COUNTRY
KITANI, MASAKATSU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: **JP2000287568**

APPL-DATE: **September 21, 2000**

INT-CL (IPC): G02F001/1368, G09F009/30 , H01L029/786 , H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To decrease display defects, such as flickers and luminance unevenness, and to obtain proper image quality by minimizing the differences between the effective voltages impressed to liquid crystal layers of respective pixels of the panels of a liquid crystal display device of an active matrix type.

SOLUTION: TFTs, lining up along the scanning line direction, are made

**small
in resistance (rs) of the source regions and large in resistance (rd) of the
drain regions on the power feed side and is made large in resistance (rs) in
the source regions and made small in resistance (rd) in the source regions
on
the terminal side, with which the penetration voltages generated by the
respective TFTs are made uniform, and the occurrence of the differences
in the
effective voltages impressed to the liquid crystal layers of the respective
pixels in the panels is obviated.**

COPYRIGHT: (C)2002,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-98990

(P2002-98990A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int.Cl'
G 0 2 F 1/1368
G 0 9 F 9/30 3 3 8
H 0 1 L 29/786
21/336

P I
G 0 9 F 9/30 3 3 8 2 H 0 9 2
G 0 2 F 1/136 5 0 0 5 C 0 9 4
H 0 1 L 29/78 6 1 2 C 5 F 1 1 0
6 1 6 A
6 1 6 T

審査請求 未請求 請求項の数10 OL (全8頁) 最終頁に続く

(21)出願番号 特願2000-287568(P2000-287568)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22)出願日 平成12年9月21日(2000.9.21)

(72)発明者 木谷 正克

埼玉県深谷市幡屋町一丁目9番地2号 株式会社東芝深谷工場内

(74)代理人 100083806

弁理士 三好 秀和 (外7名)

Fターム(参考) 2B092 JA25 JA31 JA32 JA42 NA01

5C094 AA04 BA03 BA43 CA19 DA13

EA04 EA05 EA07 EB02

5F110 AA30 BB01 CC02 HJ07 HJ30

HM02 HM04 HM05 HM15 HM19

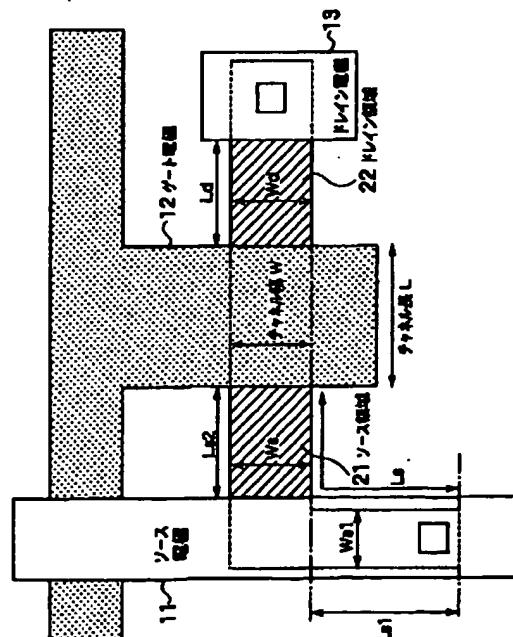
NN72 NN73 NN78

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 アクティブマトリクス型の液晶表示装置において、パネル内の各画素の液晶層に印加される実効電圧の差を最小限とし、フリッカや輝度ムラなどの表示不良を低減して、良好な画像品質を得る。

【解決手段】 走査線方向に沿って並ぶTFTにおいて、給電側ではソース領域の抵抗 r_s を小さく、ドレン領域の抵抗 r_d を大きくし、また終端側ではソース領域の抵抗 r_s を大きく、ドレン領域の抵抗 r_d を小さくすることにより、各TFTにより生じる突き抜け電圧を均一にして、パネル内の各画素の液晶層に印加される実効電圧に差が生じないようにした。



1

【特許請求の範囲】

【請求項1】 格子状に配置された複数の信号線と複数の走査線と、これら両線の各交差部に配置された画素電極と、前記走査線に供給されるゲート信号によりオン／オフ制御され、オン時に前記信号線と前記画素電極間を導通させて前記信号線に供給されたデータ信号を前記画素電極に書き込むスイッチング素子と、前記画素電極に対し液晶層を介して対向配置された共通電極とから構成される表示パネルを備えた液晶表示装置において、前記走査線方向に沿って並ぶ前記スイッチング素子である TFT のソース領域とソース領域側の LDD 領域及びドレイン領域とドレイン領域側の LDD 領域の少なくとも一方の抵抗値を、前記ゲート信号が給電側から終端側へ伝搬する際の遅延に対応して設定したことを特徴とする液晶表示装置。

【請求項2】 前記 TFT のソース領域とソース領域側の LDD 領域及びドレイン領域とドレイン領域側の LDD 領域の少なくとも一方の抵抗値を、前記走査線方向に沿って連続的又は段階的に変化させ、前記ゲート信号の給電側から終端側にかけて抵抗値分布を持たせたことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記 TFT のソース領域とソース領域側の LDD 領域及びドレイン領域とドレイン領域側の LDD 領域の少なくとも一方の抵抗値が、同一信号線上の他の TFT の抵抗値と異なるように配置したことを特徴とする請求項1記載の液晶表示装置。

【請求項4】 前記 TFT のソース領域とソース領域側の LDD 領域及びドレイン領域とドレイン領域側の LDD 領域の少なくとも一方の抵抗値は、前記ソース領域またはドレイン領域の少なくとも一方の幅を変えることにより設定することを特徴とする請求項1記載の液晶表示装置。

【請求項5】 前記 TFT のソース領域とソース領域側の LDD 領域及びドレイン領域とドレイン領域側の LDD 領域の少なくとも一方の抵抗値は、前記ソース領域またはドレイン領域の少なくとも一方の長さを変えることにより設定することを特徴とする請求項1記載の液晶表示装置。

【請求項6】 前記 TFT のソース領域とソース領域側の LDD 領域及びドレイン領域とドレイン領域側の LDD 領域の少なくとも一方の抵抗値は、前記ソース領域を折り曲げてソース電極の下側に延長し、このソース電極の下側部分のソース領域の長さを変えることにより設定することを特徴とする請求項1記載の液晶表示装置。

【請求項7】 前記 TFT のソース領域とソース領域側の LDD 領域及びドレイン領域とドレイン領域側の LDD 領域の少なくとも一方の抵抗値は、前記ゲート電極をソース電極側又はドレイン電極側に移動することにより設定することを特徴とする請求項1記載の液晶表示装置。

10

【請求項8】 前記 TFT のソース領域とソース領域側の LDD 領域及びドレイン領域とドレイン領域側の LDD 領域の少なくとも一方の抵抗値は、前記ソース領域側の LDD 領域とドレイン領域側の LDD 領域の少なくとも一方の LDD 領域の幅を変えることにより設定することを特徴とする請求項1記載の液晶表示装置。

【請求項9】 前記 TFT のソース領域とソース領域側の LDD 領域及びドレイン領域とドレイン領域側の LDD 領域の少なくとも一方の抵抗値は、前記ソース領域側の LDD 領域とドレイン領域側の LDD 領域の少なくとも一方のイオンドープ量を変えることにより設定することを特徴とする請求項1記載の液晶表示装置。

【請求項10】 前記 TFT のソース領域とソース領域側の LDD 領域及びドレイン領域とドレイン領域側の LDD 領域の少なくとも一方の抵抗値は、前記 TFT のソース領域とドレイン領域の少なくとも一方のイオンドープ量を変えることにより設定することを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型の液晶表示装置に係り、特に表示不良を低減させるため、液晶層に印加される実効電圧をパネル内で均一にする技術に関する。

【0002】

【従来の技術】従来より、アクティブマトリクス型の液晶表示装置は信号線と走査線の交差部に薄膜トランジスター (Thin Film Transistor : 以下、TFT) からなるスイッチング素子を介して画素（液晶素子）が接続され、これら画素がマトリックス状に配置された構造を有している。

【0003】図7は、上記TFTの一般的な回路構成を示す概略平面図である。図7において、ソース電極11とゲート電極12の間はソース領域21であり、ドレイン電極13とゲート電極12の間はドレイン領域22である。ソース領域21の幅Wsとドレイン領域22の幅Wdは同一であり、また各領域21、22の抵抗値はパネル内の全てのTFTで一定となっている。

【0004】

【発明が解決しようとする課題】上述したように、図7に示すような一般的なTFTの構造では、ソース領域21の幅Wsとドレイン領域22の幅Wdが同一であり、また各領域21、22の抵抗値はパネル内全てのTFTにおいて一定であるため、各TFTに供給されるゲート信号の遅延によって、パネル内の各TFTでは突き抜け電圧に差が生じることになる。ここで、突き抜け電圧とは、液晶層に印加される電圧のうち、TFTのゲートがオフした瞬間の電荷の再分配により、若干下がってしまう分の電圧をいう。

【0005】すなわち、各TFTに供給されるゲート信

20

30

40

50

号の電圧は走査線負荷により給電側から終端側に向って遅延が生じるため、この遅延により走査線方向に沿って画素の突き抜け電圧にも差が生じることになる。これによれば、図8の(1)に示すように、給電側では画素に印加される実効電圧は大きく、終端側では画素に印加される実効電圧が小さくなっている。パネル内での実効電圧が不均一になる。このため、フリッカや輝度ムラ(例えばノーマリーホワイトだと終端側の輝度が給電側より明るくなる)などの表示不良が発生するという問題があつた。

【0006】本発明の目的は、パネル内の各画素の液晶層に印加される実効電圧の差を最小限とすることにより、フリッカや輝度ムラなどの表示不良を低減して、良好な画像品質を得ることができる液晶表示装置を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するためには、請求項1の発明は、格子状に配置された複数の信号線と複数の走査線と、これら両線の各交差部に配置された画素電極と、前記走査線に供給されるゲート信号によりオン／オフ制御され、オン時に前記信号線と前記画素電極間に導通させて前記信号線に供給されたデータ信号を前記画素電極に書き込むスイッチング素子と、前記画素電極に対し液晶層を介して対向配置された共通電極とから構成される表示パネルを備えた液晶表示装置において、前記走査線方向に沿って並ぶ前記スイッチング素子であるTFTのソース領域とソース領域側のLDD領域及びドレイン領域とドレイン領域側のLDD領域の少なくとも一方の抵抗値を前記ゲート信号が給電側から終端側へ伝搬する際の遅延に対応して設定したことを特徴とする。

【0008】請求項2の発明は、請求項1において、前記TFTのソース領域とソース領域側のLDD領域及びドレイン領域とドレイン領域側のLDD領域の少なくとも一方の抵抗値を、前記走査線方向に沿って連続的又は段階的に変化させ、前記ゲート信号の給電側から終端側にかけて抵抗値分布を持たせたことを特徴とする。

【0009】請求項3の発明は、請求項1において、前記TFTのソース領域とソース領域側のLDD領域及びドレイン領域とドレイン領域側のLDD領域の少なくとも一方の抵抗値が、同一信号線上の他のTFTの抵抗値と異なるように配置したことを特徴とする。

【0010】請求項4の発明は、請求項1において、前記TFTのソース領域とソース領域側のLDD領域及びドレイン領域とドレイン領域側のLDD領域の少なくとも一方の抵抗値は、ソース領域またはドレイン領域の少なくとも一方の幅を変えることにより設定することを特徴とする。

【0011】請求項5の発明は、請求項1において、前記TFTのソース領域とソース領域側のLDD領域及び

ドレイン領域とドレイン領域側のLDD領域の少なくとも一方の抵抗値は、ソース領域またはドレイン領域の少なくとも一方の長さを変えることにより設定することを特徴とする。

【0012】請求項6の発明は、請求項1において、前記TFTのソース領域とソース領域側のLDD領域及びドレイン領域とドレイン領域側のLDD領域の少なくとも一方の抵抗値は、ソース領域を折り曲げて、ソース電極の下側に延長し、このソース電極の下側部分のソース

10 領域の長さを変えることにより設定することを特徴とする。

【0013】請求項7の発明は、請求項1において、前記TFTのソース領域とソース領域側のLDD領域及びドレイン領域とドレイン領域側のLDD領域の少なくとも一方の抵抗値は、ゲート電極をソース電極側又はドレイン電極側に移動することにより設定することを特徴とする。

【0014】請求項8の発明は、請求項1において、前記TFTのソース領域とソース領域側のLDD領域及びドレイン領域とドレイン領域側のLDD領域の少なくとも一方の抵抗値は、ソース領域側のLDD領域とドレイン領域側のLDD領域の少なくとも一方のLDD領域の幅を変えることにより設定することを特徴とする。

【0015】請求項9の発明は、請求項1において、前記TFTのソース領域とソース領域側のLDD領域及びドレイン領域とドレイン領域側のLDD領域の少なくとも一方の抵抗値は、ソース領域側のLDD領域とドレイン領域側のLDD領域の少なくとも一方のLDD領域のイオンドープ量を変えることにより設定することを特徴とする。

【0016】請求項10の発明は、請求項1において、前記TFTのソース領域とソース領域側のLDD領域及びドレイン領域とドレイン領域側のLDD領域の少なくとも一方の抵抗値は、前記TFTのソース領域とドレイン領域の少なくとも一方のイオンドープ量を変えることにより設定することを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の実施形態を図面を参照しながら説明する。まず、本発明の液晶表示装置の一実施形態に係わる液晶パネルの基本的な構成を図2に示す回路構成図により説明する。

【0018】図2に示す液晶パネル10では、複数の信号線S1～Sm(以下、総称S)と複数の走査線G1～Gn(以下、総称G)とが、図示しない絶縁層を介して格子状に配線されている。また、信号線S及び走査線Gの各交差部には、薄膜トランジスタ(TFT)からなるスイッチング素子SW11～SWnm(以下、総称SW)が設けられている。

【0019】各スイッチング素子SWのソース電極11は信号線Sに接続され、ゲート電極12は走査線Gに接

続され、更にドレイン電極13には画素電極14及び補助容量(C_s)15がそれぞれ接続されている。この画素電極14と相対して配置された共通電極16は、図示しない対向基板上に形成されている。そして、画素電極14と共通電極16との間には液晶層17が挟持され、液晶容量 C_{1c} を形成している。以下の説明においては、1つの画素電極14で構成される表示単位を画素という。

【0020】液晶パネル10には、Xドライバ18、Yドライバ19が備えられており、Yドライバ19から各走査線Gに供給されるゲート信号により、スイッチング素子SWがオン／オフされるタイミングに同期して、Xドライバ18から各信号線Sにデータ信号が供給されることで、画像表示がなされる。

【0021】ところで、図2の回路構成においては、Yドライバ19から供給(給電)されるゲート信号は走査線負荷により給電側から終端側に向って遅延が生じる。この遅延により、走査線方向に沿って画素の突き抜け電圧に差が生じ、その結果、各画素の液晶層17に印加されるデータ信号の実効電圧にも差が生じ、フリッカや画度ムラなどの表示不良を引き起こす。

【0022】図3は、図2に示したスイッチング素子SWを構成するTFTの基本的な概略断面図である。ソース領域21とドレイン領域22の間にLDD領域23が存在している。ソース領域21とソース側のLDD領域23の合成抵抗を r_s (以下、抵抗 r_s)、ドレイン領域22とドレイン側のLDD領域23の合成抵抗を r_d (以下、抵抗 r_d)とすると、図3の等価回路は図4に示すように表すことができる。即ち、抵抗 r_s とスイッチング素子SWと抵抗 r_d の直列回路になる。

【0023】本発明の基本的な構成は、上記抵抗 r_s 及び r_d の値を給電側と終端側で異なる値に設定することにより、各画素の突き抜け電圧が液晶パネル内で均一になるようにするものである。すなわち、液晶パネル内の突き抜け電圧の差により、実効電圧は図8の(1)に示すように、給電側で大きく、終端側で小さくなる。そこで、TFTのゲート電極がオフする際に、画素電極14側に再配分されるチャネル内の電荷(画素のTFTは $n - c$ hであるため電子)が給電側で少なく、終端側で多くなるようにすることで、各画素の液晶層17に印加される実効電圧の差を低減することができる。

【0024】このような電荷の再配分を行うために、給電側ではソース領域21の抵抗 r_s が小さく、かつドレイン領域22の抵抗 r_d が大きくなるように設定し、また終端側ではソース領域21の抵抗 r_s が大きく、かつドレイン領域22の抵抗 r_d が小さくなるように設定する。

【0025】図1は、TFTの電荷の再配分の制御を実現するための構成を示す概略平面図であり、図7と同等部分を同一符号で示している。

【0026】TFTは、ソース電極11とゲート電極12の間のソース領域21と、ドレイン電極13とゲート電極12の間のドレイン領域22を有し、ソース電極11とドレイン電極13間の導通を、ゲート電極12に印加されるゲート信号で制御する。ここで、ソース領域21の信号線方向の幅を W_s 、走査線方向の長さを L_s 、ソース領域21の折り曲げた部分の幅を W_{s1} 、長さを L_{s2} とし、ドレイン領域22の幅を W_d 、長さを L_d とする。ただし、 $L_s = L_{s1} + L_{s2}$ である。

【0027】これら各部の幅や長さ適宜に設定することにより、上記抵抗 r_s 及び r_d の値を給電側と終端側で異なる値とすることができる。以下、実施例1～実施例6により説明する。

【0028】(実施例1) TFTの電荷の再配分の実施例1として、給電側では図1に示した幅 W_s を幅 W_d に比べて広くとることにより、抵抗 r_s を小さくし、抵抗 r_d を大きくする。また、終端側では幅 W_s を幅 W_d に比べ細くすることにより、抵抗 r_s を大きくし、抵抗 r_d を小さくする。これにより、給電側と終端側で画素の液晶層17に印加される実効電圧の差を最小限とすることができる。

【0029】なお、幅 W_s 及び幅 W_d の可変幅の許容値は開口率低下が1割以下となる範囲とする。

【0030】(実施例2) TFTの電荷の再配分の実施例2として、給電側では図1に示す長さ L_{s2} を短くとることにより、抵抗 r_s を小さくし、長さ L_d を長くすることにより、抵抗 r_d を大きくする。また終端側では、図1に示す長さ L_{s2} を長くとることにより、抵抗 r_s を大きくし、長さ L_d を短くすることにより、抵抗 r_d を小さくする。これにより、給電側と終端側で画素の液晶層17に印加される実効電圧の差を最小限とすることができる。

【0031】(実施例3) TFTの電荷の再配分の実施例3として、図1に示すように、終端側ではソース領域を折り曲げて長さ L_{s1} を長くとること、または幅 W_s 1を細くすることで抵抗 r_s を大きくする。また、給電側では長さ L_{s1} を短くして、抵抗 r_s を小さくする。これにより、上記実施例と同様に実効電圧の差を最小限とすることができる。

【0032】本実施例は、ソース電極11に重なるソース領域21で抵抗を制御するため、開口率低下の影響はなく、設計の自由度が高いという利点がある。

【0033】(実施例4) TFTの電荷の再配分の実施例4として、図5に示すように、TFTのゲート電極12をソース又はドレイン側に移動することにより、ソース領域21及びドレイン領域22の抵抗 r_s 、 r_d の値を制御することができる。そこで、給電側ではゲート電極12をソース電極11側に配置して抵抗 r_s を小さく、終端側ではゲート電極12をドレイン電極13側に配置して、抵抗 r_s を大きくする。これにより、上記実

施例と同様に実効電圧の差を最小限とすることできる。
【0034】(実施例5) TFTの電荷の再配分の実施例5として、図6に示すように、TFTのLDD領域23の幅を変えることにより、抵抗 r_s 及び r_d の抵抗値を制御することができる。図6はTFTの概略断面図であり、図6(a)は給電側の概略断面図、図6(b)は終端側の概略断面図である。

【0035】LDD領域23の抵抗はソース・ドレイン領域に比べ抵抗が高いため、図6(a)に示すように、給電側ではドレイン側のLDD領域23を拡大、ソース側を縮小して、抵抗 r_d を大きく、抵抗 r_s を小さくする。また、図6(b)に示すように、終端側ではソース側のLDD領域23を拡大し、ドレイン側のLDD領域を縮小して抵抗 r_s を大きく、抵抗 r_d を小さくすることができる。これにより、上記実施例と同様に実効電圧の差を最小限とすることができます。

【0036】(実施例6) TFTの電荷の再配分の実施例6として、図3に示したLDD領域23へのイオン(n-)ドープ量を制御することにより、LDD領域23の抵抗値を制御し、それにより、抵抗値 r_s 及び抵抗値 r_d を上記実施例と同様に制御することができる。この実施例においても、上記実施例と同様に実効電圧の差を最小限とすることができます。

【0037】(実施例7) TFTの電荷の再配分の実施例7として、図3に示したソース領域21及びドレイン領域22へのイオン(n+)ドープ量を制御することにより、n+抵抗を制御し、それにより抵抗 r_s 及び抵抗 r_d の抵抗値を上記実施例と同様に制御することができる。この実施例においても、上記実施例と同様に実効電圧の差を最小限とすることができます。

【0038】なお、上記した実施例1及び実施例2は開口率に影響を与えるため、幅 W_s 、 W_d 及び長さ L_s 、 L_d の可変幅の許容値は開口率低下が1割以下となる範囲とする。これは開口率の変化が給電側と終端側で1割以上あると、突き抜け電圧の差はなくなるが、走査線方向に透過率差による輝度傾斜が生じるためである。一方、実施例3から実施例7では開口率への影響はないため、設計の自由度が高いという利点がある。

【0039】さらに、上記した実施例1~7を適宜に組み合わせることにより、上記した実効電圧の差をさらに低減することができることは言うまでもない。

【0040】上述した各実施例のように、TFTのゲートがオフする際に、画素電極側に再配分されるチャネル内の電荷(画素TFTはn-chであるため電子)を給電側で少なく、終端側で多くすることによって、図8の(2)で示すように、走査線方向に並ぶ画素の液晶層に印加される実効電圧の差を最小限とすることができます。これにより、フリッカや輝度ムラなどの表示不良を低減して、画像品質を向上させることができる。

【0041】また、TFTのソース領域21やドレイン領域22の抵抗 r_s 及び r_d は、走査線方向に沿って連続的又は段階的に変化させることで、効果的に輝度ムラやフリッカを低減することができる。また、抵抗 r_s 及び r_d の抵抗値を上記のように連続的又は段階的に変化させると同時に、同一抵抗値を持つTFTが同一信号線に並ばないようにグラデーション配置とすることで、輝度ムラなどを分散し、それにより、フリッカや輝度ムラなどが更に視認されにくくなり一層効果的である。

【0042】ちなみに、回路シミュレーションの手法を用いて上述のように抵抗値を決定することにより、図8の(2)に示すように、パネル内の最大実効電圧の差を ΔV_1 から ΔV_2 のように小さくできることができた。具体例として、10型クラスのパネルで検討した結果、パネル内部でのソース側抵抗 r_s を走査線方向終端側に向けて大きくすることにより、従来方法の面内の最大実効電圧差 ΔV_1 に対して、最大電位差 ΔV_2 を1/10以下まで改善することができた。この際、抵抗 r_s の抵抗値を大きくしたことによる画素の書き込み不足は認められなかった。

【0043】

【発明の効果】以上説明したように、本発明に係わる液晶表示装置によれば、ソース・ドレイン領域及びLDD領域の抵抗を制御することにより、パネル内の各画素の液晶層に印加される実効電圧の差を最小限とすることができますため、フリッカや輝度ムラなどの表示不良が低減され、良好な画像品質を得ることができる。

【図面の簡単な説明】

【図1】TFTの電荷の再配分の制御を実現するための構成を示す概略平面図。

【図2】実施形態に係わる液晶パネルの基本的な構成を示す回路構成図。

【図3】図2に示したスイッチング要素SWを構成するTFTの基本的な概略断面図。

【図4】図3に示すTFTの等価回路図。

【図5】実施例4においてTFTの電荷の再配分の制御を実現するための構成を示す概略平面図。

【図6】実施例5においてTFTの電荷の再配分の制御を実現するための構成を示す概略断面図。

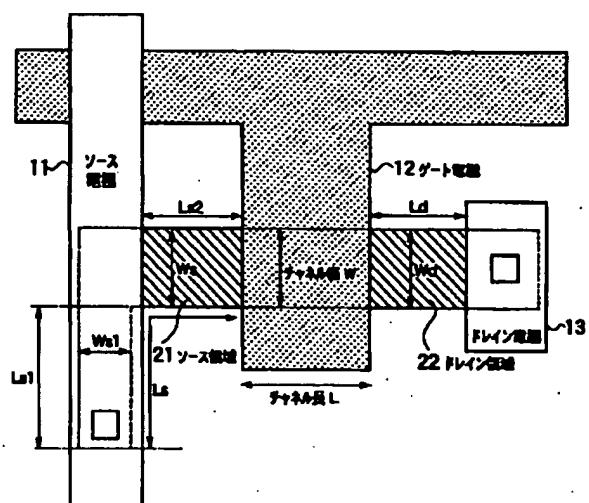
【図7】TFTの一般的な回路構成を示す概略平面図。

【図8】画素の液晶層に印加される実効電圧とパネル位置との関係を示す特性図。

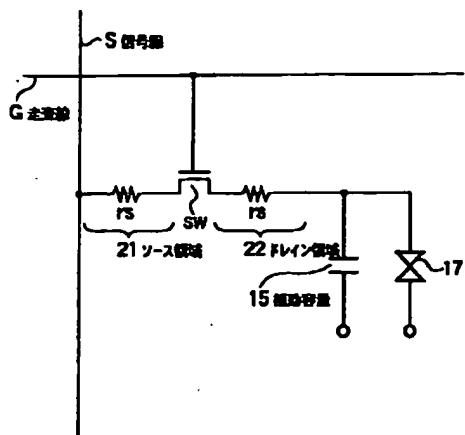
【符号の説明】

10…液晶パネル、11…ソース電極、12…ゲート電極、13…ドレイン電極、14…画素電極、16…共通電極、17…液晶層、18…Xドライバ、19…Yドライバ、21…ソース領域、22…ドレイン領域、23…LDD領域

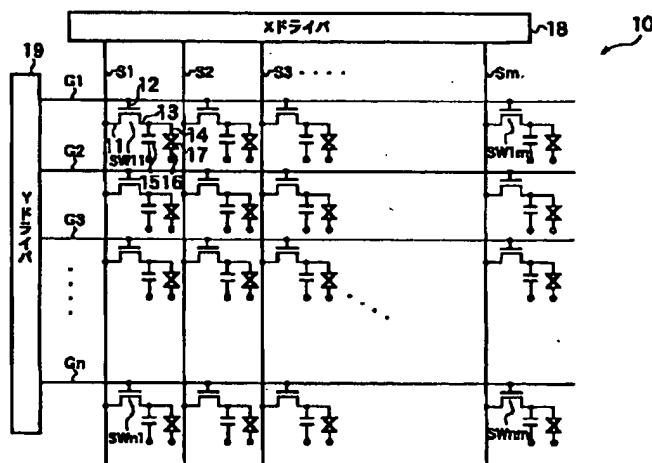
【図1】



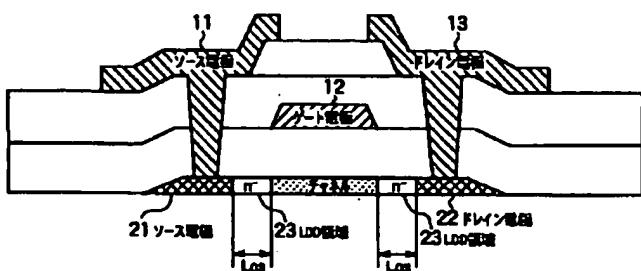
【図4】



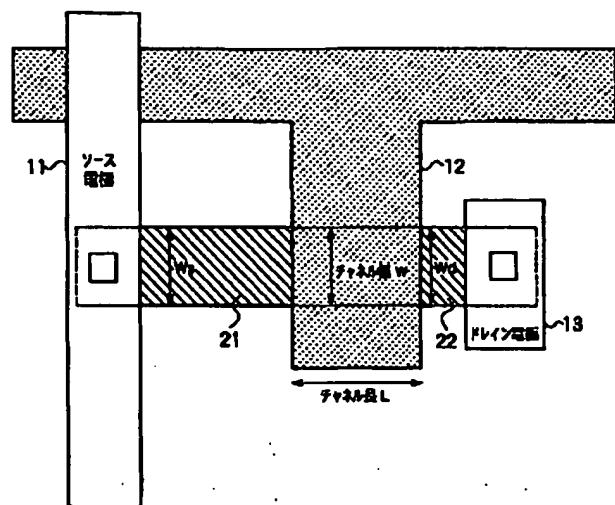
【図2】



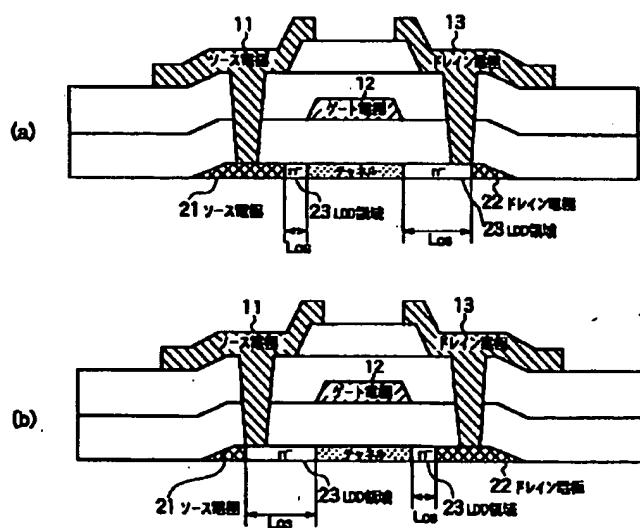
【図3】



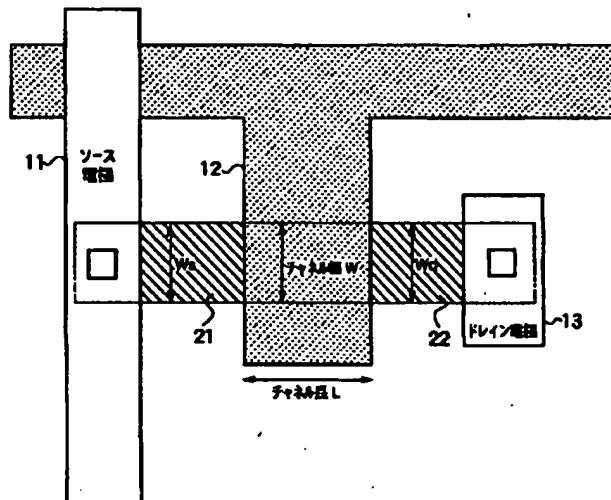
【図5】



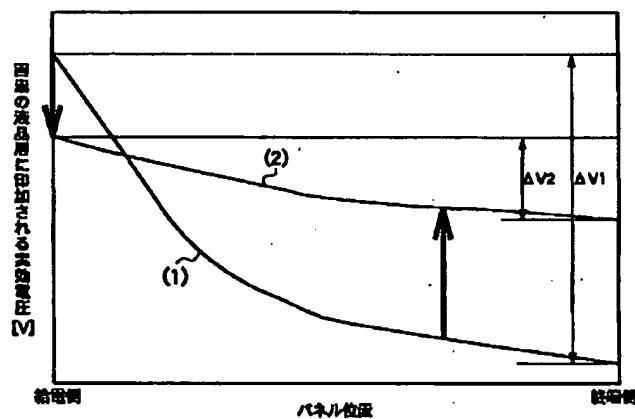
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H 01 L 29/78

マークド（参考）

616V